

DERWENT-ACC-NO: 1995-026211

DERWENT-WEEK: 199504

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device antifuses for  
field programmable  
gate array - comprises insulating  
layer between first and  
second metal wirings, connecting  
holes in insulating  
layer, and insulating film in  
connecting holes

PATENT-ASSIGNEE: KAWASAKI STEEL CORP [KAWI]

PRIORITY-DATA: 1993JP-0092961 (April 20, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 06310604 A	007	November 4, 1994
		H01L 021/82
		N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06310604A	N/A	
1993JP-0092961	April 20, 1993	

INT-CL (IPC): C01B019/04, H01L021/28, H01L021/3205,  
H01L021/82,  
H01L027/118

ABSTRACTED-PUB-NO: JP 06310604A

BASIC-ABSTRACT:

Device has antifuses comprising (a) an insulating layer (24) formed between first metal wiring (21) and second metal wiring (23); (b) connecting holes (25) formed in the insulating layer (24); (c) insulating film (27) formed in the

connecting holes (25) and for insulating the space between the first metal wiring (21) and the second metal wiring.

The insulating film (27) is formed of Ge10Te50As30 becoming phase transfer, from amorphous to crystal, and conductivity by applying a writing voltage to the insulating film (27). Applying the writing voltage across the first metal wiring (21) and the second metal wiring (23) crystallises the voltage applied-amorphous insulating film (27) to grow a crystal(s). The crystal has conductivity to connect the first metal wiring (21) to the second metal wiring (23).

USE/ADVANTAGE - The semiconductor device is used for antifuses for a field programmable gate array. Application of writing voltage uniformly forms a conductive part in the connecting holes. The result dramatically improves reliability to electromigration and provides low antifuse resistance, and a reduced variation in resistance value. The semiconductor device produces the high-performance field programmable gate array having high reliability.

CHOSEN-DRAWING: Dwg.2/4

DERWENT-CLASS: L03 U11 U13

CPI-CODES: L04-C12; L04-C13B;

EPI-CODES: U11-D03B2; U13-C04C;

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-310604

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/82  
21/28  
27/118

識別記号 廣内整理番号

301 Z 7376-4M  
9169-4M  
9169-4M

F I

技術表示箇所

H 01 L 21/82

F  
M

審査請求 未請求 請求項の数 5 OL (全 7 頁) 最終頁に続く

(21)出願番号

特願平5-92961

(22)出願日

平成5年(1993)4月20日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28  
号

(72)発明者 神力 博

千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内

(72)発明者 貝塚 健志

千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内

(72)発明者 太田 与洋

千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内

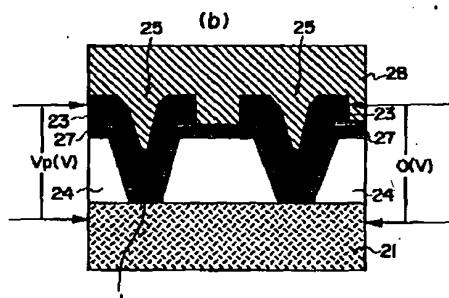
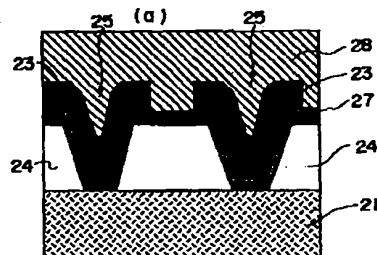
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 書き込み電圧で均一に絶縁破壊されるアンチ  
フェューズを提供し、これが用いられる半導体装置の信頼  
性を高める。

【構成】 第一の金属配線21と第二の金属配線23の  
間に形成された絶縁層24と、この絶縁層24に形成さ  
れた接続孔25と、この接続孔25に形成され前記第一  
の金属配線21と第二の金属配線23の間に絶縁する絶  
縁膜27とで構成されるアンチフェューズを複数有す  
る。絶縁膜27は、書き込み電圧を印加することにより  
相転移して導電性となる材料であるGe<sub>10</sub>Te<sub>50</sub>As<sub>30</sub>  
で構成する。第一の金属配線21と第二の金属配線23  
の間に書き込み電圧を印加すると、電圧が印加された非  
晶質絶縁膜27が結晶化し結晶Jが生成される。この結  
晶Jは導電性であり、これにより第一の金属配線21と  
第二の金属配線23とが接続される。



1

## 【特許請求の範囲】

【請求項1】 第一の金属配線と第二の金属配線の間に形成された絶縁層と、この絶縁層に形成された接続孔と、この接続孔に形成され前記第一の金属配線と第二の金属配線の間を絶縁する絶縁膜と、で構成されるアンチフューズを複数有する半導体装置において、前記絶縁膜は、書き込み電圧を印加することにより相転移して導電性となる材料で構成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記絶縁膜は、相転移前は非晶質であり、相転移後は結晶であることを特徴とする半導体装置。 10

【請求項3】 請求項1または2記載の半導体装置において、

前記絶縁膜は、所定の温度にて相転移することを特徴とする半導体装置。

【請求項4】 請求項1または2または3記載の半導体装置において、

前記絶縁膜は、Te、Ge、5族あるいは6族の元素より選ばれる元素の混合物であることを特徴とする半導体装置。 20

【請求項5】 請求項1記載の半導体装置において、前記絶縁膜は、非晶質のGe<sub>10</sub>Te<sub>50</sub>As<sub>30</sub>であることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ユーザーがプログラムすることが可能なゲートアレイであるフィールドプログラマブルゲートアレイの配線に適するアンチフューズの改良に関する。 30

## 【0002】

【従来の技術】フィールドプログラマブルゲートアレイ(以下、FPGAという)は、ゲートアレイの中でも、ユーザーが現場でプログラムすることが可能なゲートアレイである。プログラムは、FPGAの配線の一部を導通させることによって行われる。

【0003】FPGAの配線を形成する方法としては、金属配線間に薄い絶縁膜を設けた接続孔によりいわゆるアンチフューズ構造を形成する方法が提案されている(IIEEE Electron Device Letter, Vol. 12, No. 4, April 1991 p. 151-153)。より具体的に説明すると、図4に示されるように、アンチフューズは、第一の金属配線11と第二の金属配線13の間に形成された絶縁層14と、この絶縁層14に形成された接続孔15と、この接続孔15に形成され前記第一の金属配線11と第二の金属配線13の間を絶縁する絶縁膜16と、から構成されている。この表面はバシベーション膜18で覆われて保護されている。

【0004】このような構成を有するアンチフューズで 50

2

は、第一の金属配線11と第二の金属配線13の間に所定の電圧が印加されると、接続孔15内の絶縁膜16が破壊される(図中のQ)。このような絶縁破壊を生じさせる電圧は書き込み電圧或いはプログラム電圧と呼ばれているが(木明細書では書き込み電圧と呼ぶ)、アンチフューズではこの書き込み電圧が印加されることにより金属配線間の接続が行われる。

【0005】FPGAは上記したようなアンチフューズを複数個有しており、このうちのいくつかの接続孔を選択的に絶縁破壊することにより、所望のプログラムを組むことができる。すなわち、このようなFPGA配線では、複数個の接続孔にそれぞれ選択的に書き込み電圧を印加することにより絶縁膜の絶縁破壊が行われ、これによりパターン化された配線の導通が得られる。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来のアンチフューズでは、書き込み電圧の印加により生ずる絶縁破壊が絶縁膜の一部にしか生じないため、導通後の接続孔はまだなお抵抗が大きいという問題があった。

【0007】すなわち、書き込み電圧が印加されると、絶縁破壊が生じて接続孔内の絶縁膜の一部にフィラメントが形成される。そして、このフィラメントにより金属配線間の導通が達成される。しかしながら、接続孔の断面積に比べてフィラメント断面積が小さいので、絶縁破壊により導通させた後でも当該接続孔の電気抵抗は十分低くはならないのである。ところがアンチフューズは、高速化の観点から接続部分の低抵抗化を図る必要がある。

【0008】また、絶縁破壊により生ずるフィラメントの断面積は均一ではないので、導通後の接続孔の抵抗値にはばらつきが生じるという問題もある。更に、接続孔の断面積に比べてフィラメント断面積が小さいことに基づき、エレクトロマイグレーションによる劣化が生じやすくなるという問題もある。

【0009】これらの問題は、素子の動作電圧が次第に低電圧化される現在の傾向に伴って素子が小型化され、その際に絶縁膜が薄膜化された場合には、より顕著になる。本発明は以上のような課題に鑑みてなされたものであり、その目的は、書き込み電圧により均一に絶縁破壊されかつ絶縁破壊後の接続孔の電気抵抗が十分に低いアンチフューズを提供し、これを用いたFPGA(半導体装置)の性能を高めることにある。

## 【0010】

【課題を解決するための手段】以上のような課題を解決するために本発明においてはアンチフューズの絶縁膜の材料として、書き込み電圧が印加されると構造相転移が生じて導電性となる物質を用いることを特徴とする。このような物質としては、例えば非晶質のGe<sub>10</sub>Te<sub>50</sub>As<sub>30</sub>のように、非晶質状態では絶縁性であるが、所定の大きさの電圧が印加されることにより結晶化し、結晶に

なると導電性となるような物質が考えられる。

【0011】より具体的には、本発明においては、第一の金属配線と第二の金属配線の間に形成された絶縁層と、この絶縁層に形成された接続孔と、この接続孔に形成された前記第一の金属配線と第二の金属配線の間を絶縁する絶縁膜と、で構成されるアンチファーズを複数有する半導体装置において、前記絶縁膜は、書き込み電圧を印加することにより相転移して導電性となる材料で構成されていることを特徴とする。

【0012】また、上記の半導体装置において、前記絶縁膜は、相転移前は非晶質であり、相転移後は結晶であることを特徴とする。

【0013】更に、上記いずれかの半導体装置において、前記絶縁膜は、所定の温度にて相転移することを特徴とする。

【0014】また更に、上記いずれかの半導体装置において、前記絶縁膜は、Te、Ge、5族あるいは6族の元素より選ばれる元素の混合物であることを特徴とする。

【0015】

【作用】非晶質状態では絶縁性であるが、結晶となると導電性となるような材料を用いたとすると、一定の電圧以上の電圧印加により接続孔内の非晶質膜が全て結晶相転移する。このため、接続孔の断面積全体に渡って絶縁性より導電性に変化する。従って、従来の場合と比較して、低い抵抗が得られ、同時に各アンチファーズの抵抗のバラツキは極めて小さくなる。また、電流は接続孔の断面積に相当する部分を流れるので、従来のような局所的に形成されたフィラメントに過剰の電流が流れるということがなく、従って劣化が早く寿命が短くなるという問題はなくなる。

【0016】図1は、本発明のアンチファーズ(図1(a))の断面と従来のプログラムされたアンチファーズ(図1(b))の断面を模式的に示した原理図である。

【0017】図1(a)に示されるように、本発明のアンチファーズでは、第一の金属配線Aと第二の金属配線Bの間には、絶縁膜として非晶質の絶縁膜Dが介在している。本発明のアンチファーズでは、第一の金属配線Aと第二の金属配線Bの間に書き込み電圧が印加されることにより、非晶質の絶縁膜Dの非晶質の全てが結晶化し、この部分の全てが導電性を有するようになる。

【0018】これに対して、図1(b)には、比較例として、通常の酸化膜等が絶縁膜Cとして用いられている従来のアンチファーズが示されている。従来のアンチファーズでは、図1(b)に示されているように、第一の金属配線Aと第二の金属配線Bの間に書き込み電圧が印加されることにより絶縁膜Cの局所的な部分にフィラメントQが成長して、第一の金属配線Aと第二の金属配線Bが導通する。この場合のフィラメントQの生成の仕方

は、接続孔の断面積に比較して著しく小さい面積のみに成長する。従って、各アンチファーズにおけるフィラメントQの生成のされ方にはバラツキが大きく、従って、抵抗のバラツキが大きい。

【0019】一方、本発明の方法では、第一の金属配線Aと第二の金属配線Bをつなぐ接続孔全体が結晶化するので、抵抗のバラツキが小さく抑えられる。書き込み電圧のみでは、非晶質薄膜全体の相転移に至らない場合には、一定の温度に素子を保つことにより、膜全体に渡る結晶化を促進することができる。

【0020】

【実施例】図2は、本発明の好適な実施例に係る半導体装置の配線の断面模式図である。本実施例に係る半導体装置は、フィールドプログラマブルゲートアレイ(FPGA)である。

【0021】図2(a)に示されるように、本実施例に係る半導体装置(FPGA)は、第一の金属配線21と第二の金属配線23の間に形成された絶縁層24と、この絶縁層24に形成された接続孔25と、この接続孔25に形成された前記第一の金属配線21と第二の金属配線23の間を絶縁する絶縁膜27と、で構成されるアンチファーズを複数有する。絶縁膜27は、書き込み電圧を印加することにより相転移して導電性となる材料であるGe<sub>10</sub>Te<sub>50</sub>As<sub>30</sub>で構成している。

【0022】図2(a)に示されるアンチファーズは、Al/TiNからなる第一の金属配線21上に絶縁層24を積層し、この絶縁層24に接続孔25を形成した後、非晶質のGe<sub>10</sub>Te<sub>50</sub>As<sub>30</sub>の三元素よりなる500nmの絶縁膜27をアルゴンによるスパッタによって形成した。ターゲットには、予め所望の組成比のGe-Te-Asの三元化合物を用いた。この組成は、それぞれの元素のスパッタ率を考慮して調整した。次に、この絶縁膜27上にアルミニウムを被覆して第二の金属配線23のパターンを形成した後、バッシベーション膜28として二酸化シリコン膜を被膜して素子全体を保護した。

【0023】図1(b)は、左側の接続孔25に書き込み電圧V<sub>P</sub>(V)を印加することにより結晶化させた状態を示している。実施例において、この場合の書き込み電圧は10Vとしている。Al/TiN製の第一の金属配線21とアルミニウム製の第二の金属配線23の間に書き込み電圧を印加すると、電圧が印加された非晶質絶縁膜27が結晶化し結晶Jが生成される。この結晶Jは導電性であり、これにより第一の金属配線21と第二の金属配線23とが接続される。一方、右側の第一の金属配線21と第二の金属配線23の間に書き込み電圧が印加されないので、この部分の非晶質絶縁膜27はもとの非晶質状態のままである。この二つの接続孔25の抵抗値は、それぞれ結晶化した状態では200Ω以下であり絶縁性が破られているが、非晶質状態の場合は10<sup>6</sup>

Ωであり絶縁性が保たれている。本実施例に係る半導体装置（FPGA）はこのようなアンチフューズを複数有しており、これらに選択的に書き込み電圧を印加することにより、任意の金属配線どうしを接続することができる。

【0024】本実施例の効果を従来例と比較して評価したもののが図3に示されている。比較される従来例は、図4に示されるアンチフューズである。

【0025】図4のアンチフューズでは、多結晶シリコン製の第一の配線11と、同じく多結晶シリコン製の第二の配線13の間に三層構造（二酸化シリコン2nm／窒化シリコン6nm／二酸化シリコン2nm）の絶縁膜16を形成したものである。書き込み電圧を10V印加した場合には、三層構造の絶縁膜16の局部部分が絶縁破壊し、そこにシリコンによりなるフィラメントQが部分的に形成される。そして、このフィラメントQにより第一の配線11と第二の配線13の間が導通される。ところが、従来例ではこのフィラメントQの形成状態が不均一であるために、図3（b）に示されるように、アンチフューズの抵抗値がばらつく。

【0026】これに対して、図2に示される本実施例に係るアンチフューズでは、図3（a）に示されるように、極めて均一な抵抗が得られた。よって、本実施例のアンチフューズは、均一な特性を有する半導体装置（FPGA）を形成するものとして極めて有効であることが判る。

【0027】また、本実施例に係るアンチフューズは、エレクトロマイグレーションに対しても、良好な特性を得ることができる。

【0028】なお、本実施例では、Ge-Tc-A<sub>2</sub>Siか 30

らなる非晶質絶縁膜を用いて本発明の内容を説明したが、非晶質絶縁膜はこれに限られるものではなく、同様な特性を有する材料、例えばTe、Ge、5族あるいは6族の元素より選ばれる元素の混合物等を用いることにより、同様の効果を得ることができる。

【0029】

【発明の効果】本発明によれば、上下相の配線間の接続部分に一定の電圧印加により、絶縁性の非晶質から導電性の結晶に構造相転移を示す材料を適用しているので、書き込み電圧の印加により接続孔において均一に導電部分を形成でき、これによりアンチフューズの低抵抗化、抵抗値のバラツキの低減、エレクトロマイグレーションへの信頼性を飛躍的に改善することができる。従って、極めて信頼性が高く、高性能なフィールドプログラマブルゲートアレイを製造することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明するための図である。

【図2】本発明の好適な一実施例に係る半導体装置のアンチフューズの断面構造模式図である。

【図3】本発明と従来技術のアンチフューズの絶縁破壊後の抵抗バラツキを示す図である。

【図4】従来のアンチフューズの断面構造模式図である。

【符号の説明】

21 第一の金属配線

23 第二の金属配線

24 絶縁層

25 接続孔

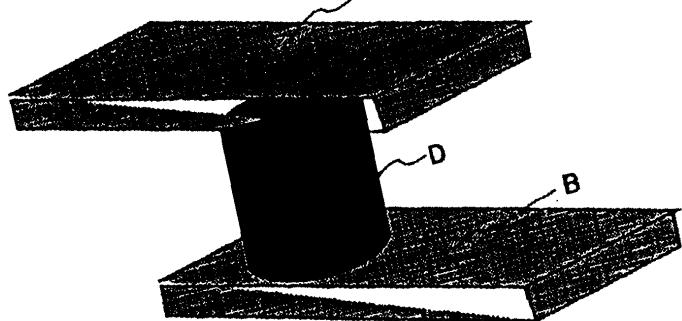
27 絶縁膜

特開平6-310604

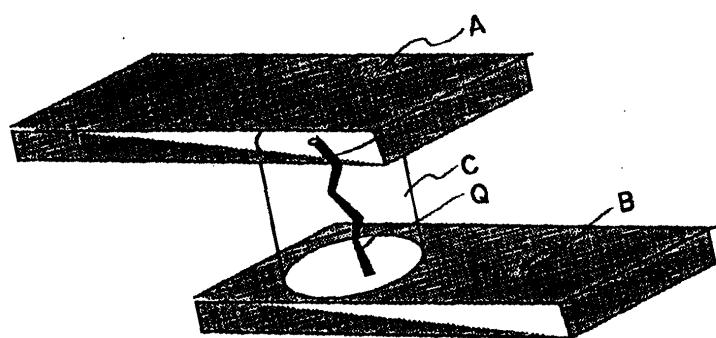
(5)

【図1】

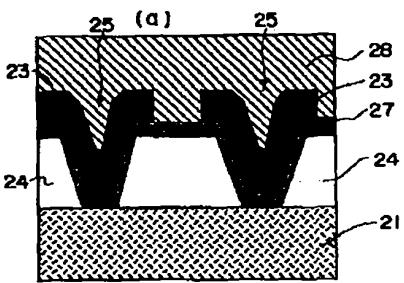
(a)



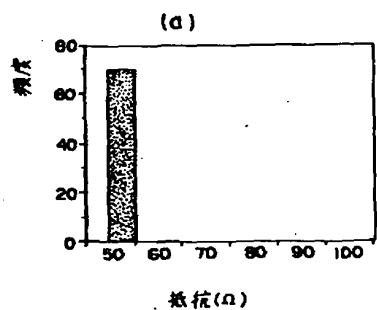
(b)



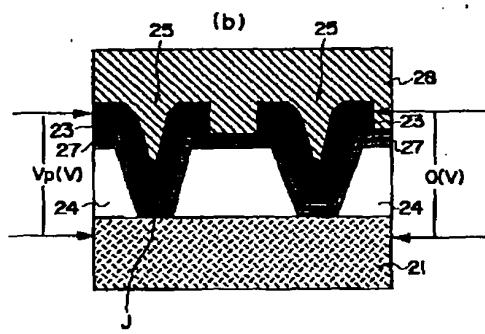
【図2】



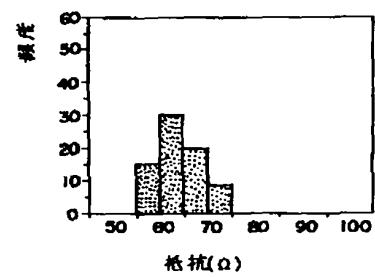
【図3】



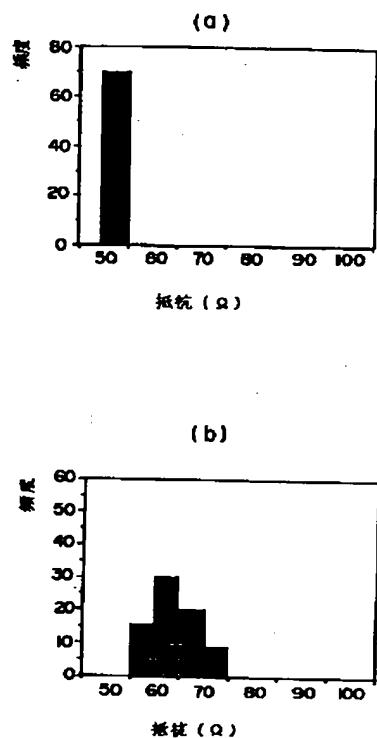
(b)



(b)



【図4】



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
 H 01 L 21/3205  
 // C 01 B 19/04

識別記号 庁内整理番号 F I  
 G  
 7514 4M H 01 L 21/88

技術表示箇所

M